

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication number: JP4144309 (A)

Publication date: 1992-05-18

Inventor(s): IKEDA NOBUYUKI

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- **International:** **H03K5/13; H03K5/13;** (IPC1-7): H03K5/13

- **European:**

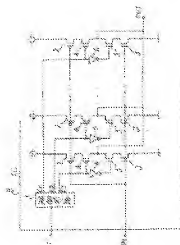
Application number: JP19900269079 19901004

Priority number(s): JP19900269079 19901004

Abstract of JP 4144309 (A)

PURPOSE: To adjust a delay time existing from an input signal to an output signal by selecting optionally number of plural complementary inverter circuits connected in parallel with a control signal.

CONSTITUTION: A control signal given from a control signal terminal is given to a control circuit 1, from which a signal is outputted to terminals C1, C2...Cn. For example, suppose that an L level output is obtained from the terminal C1, an H level output is obtained from the terminal C2, and an L level output is obtained from the terminal Cn. In this case MOS transistors (TRs) 4, 5 receiving signals C1, Cn are turned on and the MOS TRs 4, 5 receiving the signal C2 are turned off, and inverter circuits each of components (TRs 4, 5) turned on output in response to an input signal from an input signal terminal IN and an output is obtained from an output signal terminal OUT and the delay time of the semiconductor integrated circuit device is adjusted depending on number of inverter circuits connected in parallel.



Data supplied from the **esp@cenet** database — Worldwide

⑪ 公開特許公報(A) 平4-144309

⑫ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月18日

H 03 K 5/13

7125-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 平2-269079

⑯ 出 願 平2(1990)10月4日

⑰ 発 明 者 池 田 信 之

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑱ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄

外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

入力信号に対応する、直列に接続された複数の相補型インバータの出力を合成して出力信号を出力する半導体集積回路装置において、前記出力増幅等を形成する前記複数の相補型インバータの数を制御信号によって任意に選択できる制御回路を備え、前記制御回路によって自由に入力信号に対応する出力信号の遅延時間を調整することができることを特徴とする半導体集積回路装置、

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路装置に関し、特にその遅延回路を提供する、ものである。

(従来の技術)

第4図は従来の遅延回路の回路図である。図において、1Nは入力端子、6a、6b、6cは入力端子1Nから直列接続されたインバータ、10はインバ

ータ6a、6b、6cの少なくとも1つのインバータから出された信号線が入る信号選択回路、6dは信号選択回路10と接続される出力端子である。

次に動作について説明する。入力端子1Nに入力された信号はインバータ6a、6b、6cによって遅延し、信号選択回路10によってインバータ6aを通過した信号、インバータ6a、6bを通過した信号、インバータ6a、6b、6cを通過した信号のいずれかを選択して出力端子6dに出力する。

(発明が解決しようとする課題)

従来の遅延回路は以上のよう構成されていたので、設計段階で遅延選択回路の選択を決めているために、1)製造によりばらつきによって選択された遅延時間と異なる遅延時間になり、1)の誤動作を引き起こしたり、同一回路信号で複数の1)を動作させるための誤動作を引き起こして、しきうという問題があった。

この発明は上記のような問題を解決するためになされたもので、1)の製造量に遅延時間を調整することができる半導体集積回路装置を提供すること

を目的とする。

(課題を解決するための手段)

この発明に係る半導体集積回路装置は、入力信号に応答する、直列に接続された複数の遅延型インパクタの出力を合成して出力信号を出力する半導体集積回路装置であって、出力信号の形成する複数の遅延型インパクタの数を選択できるように、制御型インパクタを構成するトランジスタに制御信号を与えることのできるようにしたものである。(作用)

この発明における遅延回路は、直列に接続された遅延型インパクタの数を制御回路からの信号によって選択することによって、入力信号に responding 出力信号の遅延時間を調整する。

(実施例)

以下、この発明の実施例を図について説明する。第1図はこの発明の実施例である遅延回路の構成図である。第1図に示すように、INは入力信号端子、Cは制御信号端子、1は制御回路、2、3は入力信号端子1からの入力信号に response

するMOSトランジスタおよびロッチャー回路とトランジスタと以下PMOSトランジスタおよびNMOSトランジスタと呼ぶ、4、5は制御回路1からの信号および6のインパクタ形成のための反転信号によってON、OFFするPMOSトランジスタおよびNMOSトランジスタである、上記の2から5までのMOSトランジスタおよびインパクタを構成されるインパクタ回路が複数並列に接続されており、その出力信号が6以下の出力端子端子より出力される。

次に動作について説明する。制御信号端子より与えられる制御信号が制御回路1より1、2、3、4、5に供給され出力される。例えば、6、7からレベルロギックはレベル、7からレベルロギックは出力されているとする。この時6、7の信号に response するMOSトランジスタ、5は“ON”状態、2の信号に response するMOSトランジスタ、4は“OFF”状態となり、これ等のMOSトランジスタ、3が“ON”状態であるインパクタ回路が、入力信号端子1からの入

図

図

力信号に response した出力を形成することで出力信号端子より出力し、直列に接続されたインパクタ回路の数によって遅延時間を調整する。

このように制御信号によって並列に接続されたインパクタ回路の数を選択することによって、出力信号の入力信号に対する遅延時間を調整することができる。

第2図は第1図のICを実装した半導体集積回路装置のブロック図で、実装基板7上に、6、7、1、2、3、4、5、6、7というふうに複数の遅延型インパクタ回路が設置される。同一の信号で動作させるようにする。このとき、実装基板7上の配線が有する抵抗値、コンデンサC等による、分布定数のために、第3図のタイミングチャートに示すようなクロック歪みを生じ、システムの動作を引き起こすことがあるが、この時、上記で説明した遅延回路を制御信号の入力端子A、B、Cに接続し、遅延時間の調整することによってクロック歪みを低減し、システムの動作を防ぐことができる。

(発明の効果)

以上のようにこの発明によれば、遅延信号によって並列に接続された複数の遅延型インパクタ回路の数を任意に選択できるように構成したので、入力信号から出力信号までの遅延時間を調整することができ、ICの動作と、さらに、同一の遅延信号で動作させる複数のIC間のクロック歪みも低減でき、システムの信頼性を防ぐことができる効果がある。

4、図面の簡単な説明

第1図はこの発明の実施例による遅延回路の構成図、第2図はこの発明の実施例である半導体集積回路装置を構成する実装基板のブロック図、第3図は第2図の動作を説明するためのタイミングチャート、第4図は従来の遅延回路の構成図である。

図において、1は制御回路、2、4、5はPMOSトランジスタ、3、6はNMOSトランジスタ、6はインパクタ回路、7は実装基板、8はIC、9は遅延信号発生回路を示す。

図

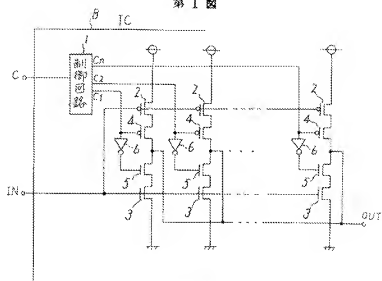
図

图中，除一等界是湖一，又是相当部分在湖外。

代理人 大 島 増 雄

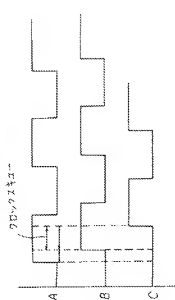
of

第 1 圖

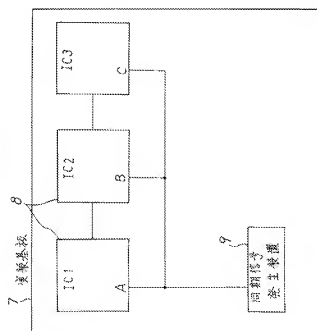


1. 制御回路
2. 4: PMOSトランジスタ
3. 5: NMOSトランジスタ
6. 4バース回路

第 3 図



第 2 図



第 4 図

